

18/5/14 (Item 14 from file: 350)
DIALOG(R) File 350:Derwent WPIX
(c) 2004 Thomson Derwent. All rts. reserv.

014516350 **Image available**
WPI Acc No: 2002-337053/200237

Computer system for multi users
Patent Assignee: EDUBANK CO LTD (EDUB-N)
Inventor: CHO J H
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
KR 2001106740	A	20011207	KR 200027680	A	20000523	200237 B

Priority Applications (No Type Date): KR 200027680 A 20000523

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
<u>KR 2001106740</u>	A		1 G06F-013/14	

Abstract (Basic): KR 2001106740 A

NOVELTY - A computer system for multi users is provided to effectively use resources of a personal computer, and enable multi users to work in a network environment.

DETAILED DESCRIPTION - A personal computer is provided with a plurality of video cards (11). When the personal computer is connected to a plurality of monitors(20-24), a plurality of applications are executed. A plurality of input units, in other words, keyboards(30-34) and mice(40-44) are connected to the personal computer to be simultaneously used. A universal serial bus(USB) HUB connects the plurality of mice(40-44) and the keyboards(30-34) to the personal computer. Event requests inputted through the USB HUB are sequentially distributed. A multi input management program allows active windows corresponding to the keyboards(30-34) and the mice(40-44) to be shown in the monitors(20-24). The multi input management program includes a keyboard driver, a mouse driver, and a window event distributor.

pp; 1 DwgNo 1/10

Title Terms: COMPUTER; SYSTEM; MULTI; USER

Derwent Class: T01

International Patent Class (Main): G06F-013/14

File Segment: EPI

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/28	(11) 공개번호 특2000-0027680 (43) 공개일자 2000년05월15일
(21) 출원번호 (22) 출원일자	10-1998-0045671 1998년10월29일
(71) 출원인	현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	이해정 경기도 이천시 창전동 410-10 대호1차아파트 506 김동석 서울특별시 송파구 송파동 성원아파트 2동 304호 최익수 경기도 이천시 부발읍 응암리 97 이화아파트 103-706
(74) 대리인	박해천, 원석희
<u>심사청구 : 없음</u>	
<u>(54) 반도체 장치 제조 방법</u>	

요약

본 발명은 저도핑 드레인(lightly doped drain) 구조를 갖는 트랜지스터에 이웃하는 콘택홀을 자기정렬(self align) 방법으로 형성함에 있어서, 콘택홀의 폭을 넓힘과 동시에 공정을 단순화시킬 수 있는 반도체 장치 제조 방법에 관한 것으로, 저도핑 드레인 구조를 갖는 트랜지스터의 게이트 전극 측벽에 형성되는 스페이서를 충전절연막과 식각율이 다른 물질로 형성함으로써 스페이서 및 식각정지 효과를 동시에 얻을 수 있는 제조 방법으로, 식각정지막 제거를 위한 별도의 습식식각 공정 없이 콘택홀의 폭을 증가시킬 수 있는 효과가 있다.

대표도

도2e

명세서

도면의 간단한 설명

도1a 내지 도1f는 종래 기술에 따른 반도체 장치 제조 공정 단면도,
도2a 내지 도2e는 본 발명의 일실시예에 따른 반도체 장치 제조 공정 단면도.

*도면의 주요 부분에 대한 도면 부호의 설명

A: 셀 영역	B: 주변회로 영역
30: 실리콘 기판	31: 필드산화막
32: 게이트 산화막	33: 게이트 전극
34: 실리콘 산화질화막	35: 보호 산화막
36: 질화막	36A: 질화막 스페이서
37: BPSG막	38A, 38B: 콘택홀
39: 폴리실리콘막	40: 텅스텐 실리사이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 분야에 관한 것으로, 특히 저도핑 드레인(lightly doped drain) 구조를 갖는 트랜지스터에 이웃하는 콘택홀을 자기정렬(self align) 방법으로 형성함에 있어서, 콘택홀의 폭을 넓힘과 동시에 공정을 단순화시킬 수 있는 반도체 장치 제조 방법에 관한 것이다.

종래 기술에 따른 반도체 소자의 콘택홀 형성 방법을 도1a 내지 도1f를 참조하여 설명한다.

먼저, 도1a에 도시한 바와 같이 실리콘 기판(10)에 필드산화막(11)을 형성한 후, 셀 영역(A) 및 주변회로 영역(B)의 실리콘 기판(10) 상에 게이트 산화막(12), 게이트 전극(13), 실리콘 산화질화막(14) 및 보호 산화막(15)을 형성하고, 스페이서(spacer)를 형성하기 위하여 전체 구조 상에 산화막(16)을 증착한다. 상기 실리콘 산화질화막(14)은 반사방지를 위하여 형성되며 그 두께는 300 Å이고, 상기 보호 산화막(15)은 1500 Å 두께로 형성하고, 상기 산화막(16)은 1100 Å의 두께의 중온산화막(medium temperature oxide)으로 형성한다. 이어서, 저농도 드레인 및 소오스 영역(도시하지 않음)을 형성하기 위한 이온주입 공정을 실시한다.

다음으로, 도1b에 도시한 바와 같이 산화막(15)을 전면식각하여 산화막 스페이서(15A)를 형성한다. 이때, 산화막 스페이서(15A)를 형성하기 위한 식각과정에서 게이트 전극(13) 상에 형성된 보호 산화막(15)의 일부가 식각되어 보호 산화막의 두께는 1000 Å이 된다. 이어서, 고농도 소오스 및 드레인 영역(도시하지 않음)을 형성하기 위한 이온주입 공정을 실시한다.

다음으로, 도1c에 도시한 바와 같이 전체 구조 상에 식각정지막으로서 질화막(17)을 500 Å 두께로 형성한다. 이어서, 주변회로 영역(B) 상에 질화막이 잔류하여 이후에 주변회로 영역(B) 상에 형성되는 금속배선과 실리콘 기판의 콘택 특성이 저하되는 것을 방지하기 위하여, 셀 영역(A) 상에 제1 식각마스크(25)를 형성한 다음 주변회로 영역(B)의 질화막(17)을 선택적으로 제거하여 셀 영역(A) 상에만 질화막(17)을 잔류시킨다.

다음으로, 제1 식각마스크(25)를 제거하고, 도1d에 도시한 바와 같이 전체 구조 상에 층간절연막으로 BPSG(borophosphosilicate glass)막(18)을 형성하고, BPSG막(18) 상에 콘택홀 영역을 노출시키는 제2 식각마스크(도시하지 않음)를 형성한 후, BPSG막(18)을 선택적으로 제거하여 셀 영역(A) 및 주변회로 영역(B)에 각각 콘택홀(19A, 19B)을 형성한다. 이때, 셀 영역(A) 상의 BPSG막(18)이 식각되는 과정에서 질화막(17)이 식각정지막으로서 역할을 하여 콘택홀(19A) 형성 후, 산화막 스페이서(15A) 측벽 및 실리콘 기판(10) 상의 질화막(17)이 노출된다. 또한, 주변회로 영역(B) 상의 BPSG막(18)이 식각되는 과정에서, 주변회로 영역(B)에는 식각정지막인 질화막이 없기 때문에 실리콘 기판(10) 표면이 바로 노출될 뿐만 아니라, 게이트 전극(13) 상부에 형성된 보호 산화막(15)까지 식각된다.

다음으로, 도1e에 도시한 바와 같이 셀 영역(A)의 콘택홀(19A) 형성으로 노출된 질화막(17)을 선택적으로 제거하고, 제2 식각마스크를 제거한다. 이때, 콘택홀(19A) 측벽에 질화막(17)이 제거되지 않고 스페이서 형태로 잔류되어 콘택홀(19A) 저면의 폭(W)이 좁은 상태로 유지된다. 그리고, 상기 주변회로 영역(B)에 콘택홀(19B)을 형성하는 과정에서 보호 산화막(15)이 식각되어 노출된 실리콘 산화질화막(14) 또한 제거되어서 게이트 전극(13)이 노출된다.

다음으로, 도1f에 도시한 바와 같이 전체 구조 상에 폴리실리콘막(20)을 500 Å 두께로 형성하고, 폴리실리콘막(20) 상에 텅스텐 실리사이드(WSi_x)막(21)을 1200 Å 두께로 형성한 후, 텅스텐 실리사이드막(21) 및 폴리실리콘막(20)을 패터닝하여 비트라인(bit line)을 형성한다.

전술한 바와 같이, 자기정렬 방식으로 콘택홀을 형성할 경우에는 식각정지막을 반드시 형성하여야 하며, 콘택홀 형성 후 노출된 식각정지막을 제거하는 과정에서 식각정지막이 완전히 제거되지 않고 콘택홀 측벽에 잔류하여 콘택홀의 폭이 좁아지는 단점이 있다. 콘택홀 측벽에 잔류되는 식각정지막을 제거하기 위하여, 콘택홀 형성 후 노출된 식각정지막을 등방성 습식식각으로 제거하는 방법도 있으나, 이 경우에는 인시튜(in situ)로 공정을 진행할 수 없으며, 식각정지막과 실리콘 기판의 식각선택비가 작을 경우에는 식각정지막이 없는 주변회로 영역에는 식각마스크를 형성해야 하므로 공정이 복잡해지는 문제점이 있다.

발명이 이루고자하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 저도핑 드레인 구조의 트랜지스터에 이웃하

여 자기정렬 방식으로 형성되는 콘택홀의 폭을 증가시킬 수 있고, 기판과 금속배선 콘택의 콘택 특성 저하를 방지하며 공정을 단순화 할 수 있는, 반도체 장치 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 셀 영역과 주변회로 영역의 반도체 기판 상에, 게이트 전극과 상기 게이트 전극 상에 위치하여 상기 게이트 전극을 보호하는 절연막 패턴을 형성하고, 상기 게이트 전극 양단에 저농도 소오스 및 드레인 영역을 형성하는 제1 단계; 상기 반도체 기판 표면, 상기 게이트 전극 측벽 및 절연막 패턴 상에 제1 절연막을 형성하는 제2 단계; 상기 셀 영역 상에 식각마스크를 형성하고, 상기 제2 단계에서 주변회로 영역 상에 형성된 상기 제1 절연막을 식각하여, 상기 주변회로 영역의 반도체 기판 표면을 노출시키고, 상기 주변회로 영역의 게이트 전극 측벽에 절연막 스페이서를 형성하는 제3 단계; 상기 저농도 소오스 및 드레인 영역에 각각 이웃하는 고농도 소오스 및 드레인 영역을 형성하는 제4 단계; 상기 제4 단계가 완료된 전체 구조 상에, 상기 제1 절연막에 대해 식각선택비가 큰 제2 절연막을 형성하는 제5 단계; 상기 제2 절연막을 선택적으로 제거하여, 상기 셀 영역 및 상기 주변회로 영역에 각각 콘택홀을 형성하는 제6 단계; 및 상기 셀 영역의 콘택홀 저면에 노출된 상기 제1 절연막을 선택적으로 제거하여 상기 반도체 기판을 노출시키는 제7 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

패턴 측벽에 형성되는 스페이서의 폭은 스페이서를 이루는 막의 두께에 비례한다. 종래의 경우에는 저도핑 드레인 구조의 트랜지스터를 형성하기 위하여, 게이트 전극 측벽에 절연막 스페이서를 형성한 다음 식각정지막을 별도로 형성함으로써 인하여 콘택홀 형성 후 게이트 전극 측벽에 절연막 스페이서 뿐만 아니라 식각정지막까지 스페이서 형태로 잔류하여 콘택홀 폭이 좁아진다.

본 발명에서는 중간절연막과 식각율이 다른 물질을 형성하여 게이트 전극 측벽에 형성되는 스페이서 역할 및 식각정지 역할을 하도록 함으로써, 콘택홀의 폭을 증가시킬 수 있는 반도체 장치 제조 방법이다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부된 도면 도2a 내지 도2e를 참조하여 설명한다.

먼저, 도2a에 도시한 바와 같이 실리콘 기판(30)에 필드산화막(31)을 형성한 후, 셀영역(A) 및 주변회로 영역(B)의 실리콘 기판(30) 상에 게이트 산화막(32), 게이트 전극(33), 실리콘 산화질화막(34) 및 보호 산화막(35)을 형성한다. 이어서, 저농도 소오스 및 드레인 영역(도시하지 않음)을 형성하기 위한 이온주입 공정을 실시한 후, 질화막(36)을 전체 구조 상에 형성한다. 상기 보호 산화막(35)은 1500 Å 두께로 형성하고, 반사방지를 위한 실리콘 산화질화막(34)은 300 Å 두께로 형성하며, 질화막(36)은 약 1100 Å 두께로 형성한다. 상기 질화막(36)을 대신하여 실리콘 산화질화막(SiON)막을 형성할 수도 있다.

다음으로, 도2b에 도시한 바와 같이 셀 영역(A) 상에 제1 식각마스크(41)를 형성한 다음, 주변회로 영역(B)의 질화막(36)을 전면식각하여 주변회로 영역(B)의 게이트 전극(33) 측벽에 질화막 스페이서(36A)를 형성한다. 이때, 주변회로 영역(B)의 실리콘 기판(10) 상의 질화막이 제거되어, 이후 형성될 금속 배선과 실리콘 기판(10)의 콘택 특성 저하를 방지할 수 있다.

다음으로, 제1 식각마스크(41)를 제거하고, 고농도 소오스 및 드레인(도시하지 않음) 형성을 위한 이온주입 공정을 실시한다. 이때, 셀 영역(A)에서는 게이트 전극(33) 측벽에 형성된 질화막(36)이 스페이서 역할을 한다.

다음으로, 도2c에 도시한 바와 같이 중간절연을 위하여 전체 구조 상에 BPSG막(37)을 형성하고, BPSG막(37) 상에 콘택홀 영역을 노출시키는 제2 식각마스크(도시하지 않음)를 형성한 후, C, H 및 F를 포함한 플라스마로 건식식각하여 BPSG막(37)을 선택적으로 제거해서 셀 영역(A) 및 주변회로 영역(B)에 각각 콘택홀(38A, 38B)을 형성한다. 이때, 셀 영역(A) 상의 BPSG막(37)이 식각되는 과정에서 질화막(36)이 식각정지막으로서 역할을하여 콘택홀(38A) 형성 후, 질화막(36)이 노출된다. 또한, 주변회로 영역(B) 상의 BPSG막(37)이 식각되는 과정에서, 주변회로 영역(B)의 실리콘 기판(30) 상에는 식각정지막인 질화막이 없기 때문에 실리콘 기판(30) 표면이 바로 노출될 뿐만 아니라, 게이트 전극(33) 상부에 형성된 보호 산화막(35)이 식각된다. 상기 BPSG막(37)을 건식식각한 후 O₂를 포함한 플라스마를 이용하여 BPSG막 상의 폴리머(polymer)를 제거하는 공정을 실시하기도 한다.

다음으로, 도2d에 도시한 바와 같이 셀 영역(A)의 콘택홀(38A) 형성으로 노출된 질화막(36)을 C, H, F 및 O₂를 포함한 플라스마로 건식식각하여 선택적으로 제거하고, 제2 식각마스크를 제거한다. 이때, 콘택홀(38A) 측벽에 질화막(36)이 제거되지 않고 스페이서 형태로 질화막이 잔류된다.

다음으로, 도2e에 도시한 바와 같이 전체 구조 상에 폴리실리콘막(39)을 500 Å 두께로 형성하고, 폴리실리콘막(39) 상에 텅스텐 실리사이드(WSi_x)막(40)을 1200 Å 두께로 형성한 후, 텅스텐 실리사이드막(40) 및

폴리실리콘막(39)을 패터닝하여 비트라인(bit line)을 형성한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 저도핑 드레인 구조를 갖는 트랜지스터의 게이트 전극 측벽에 형성되는 스페이서를 충전절연막과 식각율이 다른 물질로 형성함으로써 스페이서 및 식각정지 효과를 동시에 얻을 수 있는 제조 방법으로, 종래와 같이 식각정지막 제거를 위한 별도의 습식식각 공정 없이 콘택홀의 폭을 증가시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 장치 제조 방법에 있어서,

셀 영역과 주변회로 영역의 반도체 기판 상에, 게이트 전극과 상기 게이트 전극 상에 위치하여 상기 게이트 전극을 보호하는 절연막 패턴을 형성하고, 상기 게이트 전극 양단에 저농도 소오스 및 드레인 영역을 형성하는 제1 단계;

상기 반도체 기판 표면, 상기 게이트 전극 측벽 및 절연막 패턴 상에 제1 절연막을 형성하는 제2 단계;

상기 셀 영역 상에 식각마스크를 형성하고, 상기 제2 단계에서 주변회로 영역 상에 형성된 상기 제1 절연막을 식각하여, 상기 주변회로 영역의 반도체 기판 표면을 노출시키고, 상기 주변회로 영역의 게이트 전극 측벽에 절연막 스페이서를 형성하는 제3 단계;

상기 저농도 소오스 및 드레인 영역에 각각 이웃하는 고농도 소오스 및 드레인 영역을 형성하는 제4 단계;

상기 제4 단계가 완료된 전체 구조 상에, 상기 제1 절연막에 대해 식각선택비가 큰 제2 절연막을 형성하는 제5 단계;

상기 제2 절연막을 선택적으로 제거하여, 상기 셀 영역 및 상기 주변회로 영역에 각각 콘택홀을 형성하는 제6 단계; 및

상기 셀 영역의 콘택홀 저면에 노출된 상기 제1 절연막을 선택적으로 제거하여 상기 반도체 기판을 노출시키는 제7 단계를 포함하는 반도체 장치 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제6 단계에서,

상기 셀 영역의 상기 반도체 기판 표면 및 상기 게이트 전극 측벽에 형성된 상기 제1 절연막을 노출시키는 제1 콘택홀, 상기 주변회로 영역의 반도체 기판을 노출시키는 제2 콘택홀 및 상기 주변회로 영역의 게이트 전극 상부를 노출시키는 제3 콘택홀을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3

제 2 항에 있어서,

상기 제7 단계는,

상기 제1 콘택홀 저면에 노출된 상기 제1 절연막을 식각하여 상기 반도체 기판 표면을 노출시킴과 동시에, 상기 게이트 전극 측벽에 상기 제1 절연막을 스페이서 형태로 잔류시키는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제1 절연막은 질화막 또는 실리콘 산화질화막 중 어느 하나로 형성하고,

상기 제2 절연막은 BPSG(borophosphosilicate glass)막으로 형성하는 것을 특징으로 하는 반도체 장치 제조

방법.

청구항 5

제 4 항에 있어서,

상기 제6 단계에서,

상기 제2 절연막을 C, H 및 F를 이용한 플라즈마로 건식식각하여 선택적으로 제거하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 6

제 4 항에 있어서,

상기 제7 단계에서,

상기 제1 절연막을 C, H 및 F를 이용한 플라즈마로 건식식각하여 선택적으로 제거하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 7

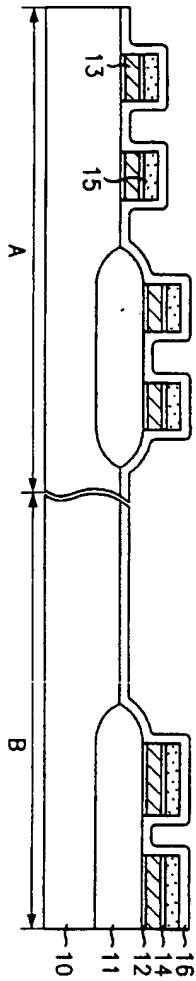
제 4 항에 있어서,

상기 제6 단계 후,

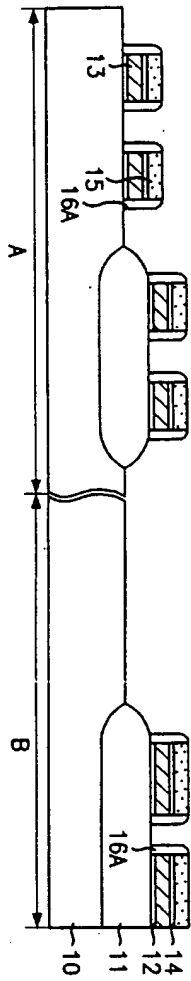
상기 제2 절연막 상에 잔류하는 폴리머(polymer)를 C, H, F 및 O₂를 이용한 플라즈마로 제거하는 제8 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

도면

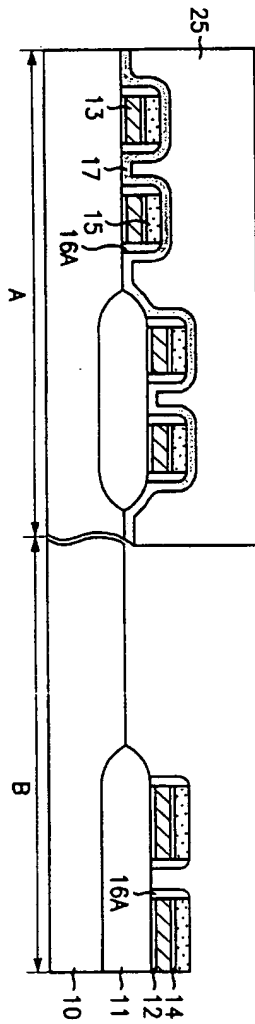
도면1a



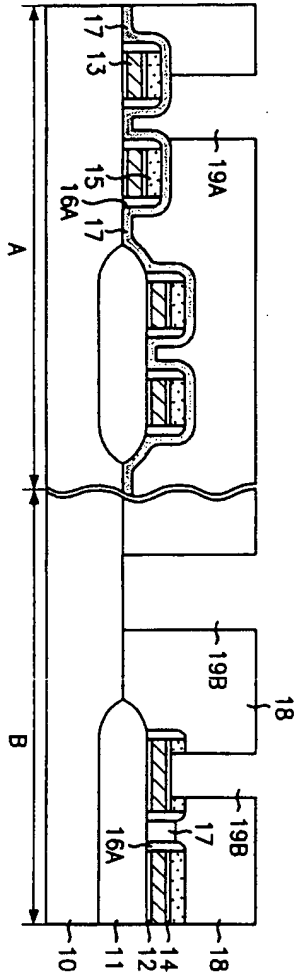
도면1b



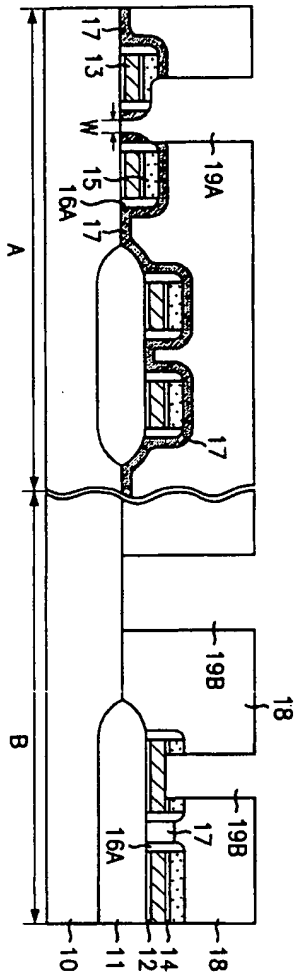
도면1c



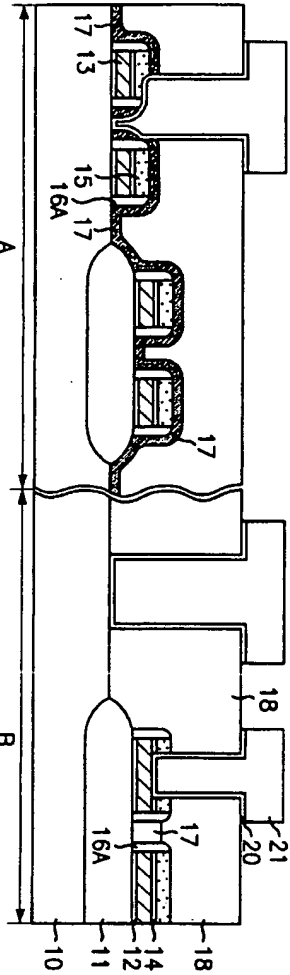
도면1d



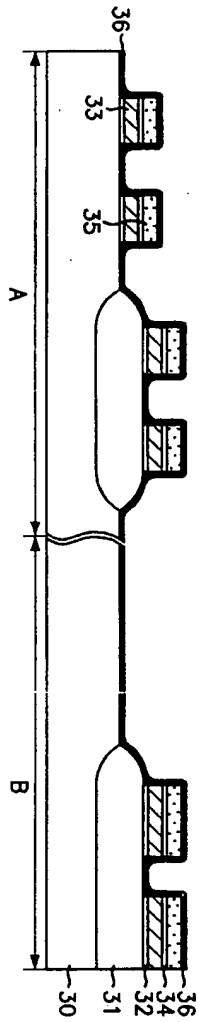
도면1e



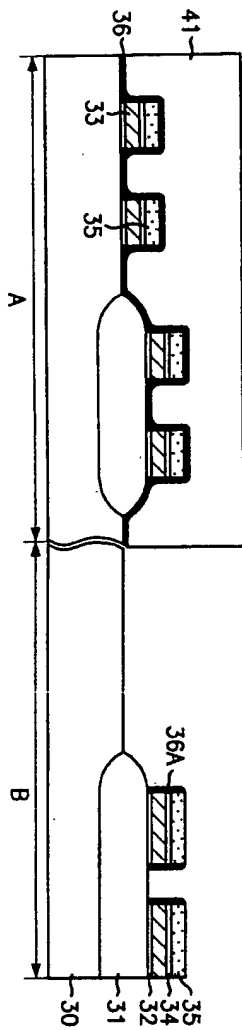
도면1f



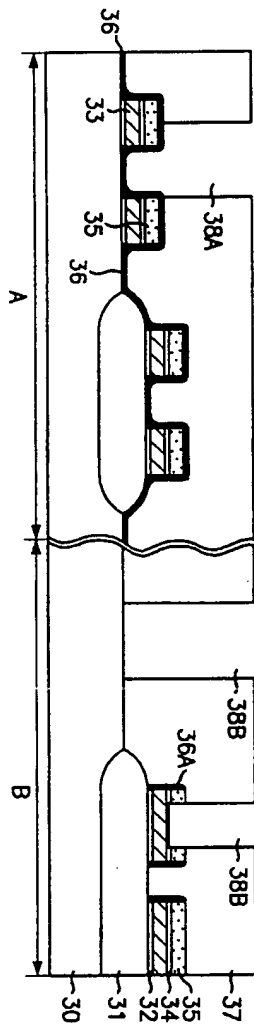
도면2a



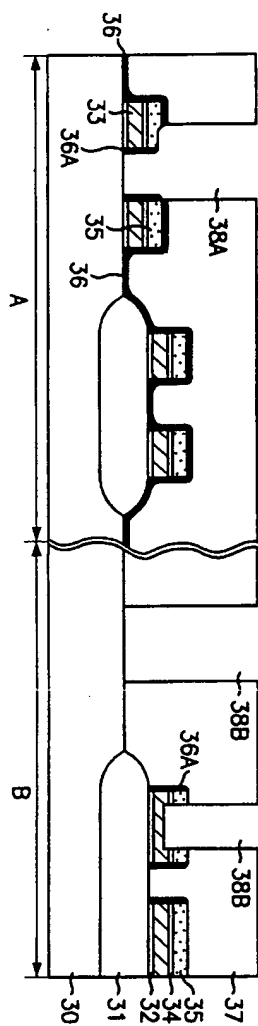
도면2b



도면2c



도면2d



도면2e

